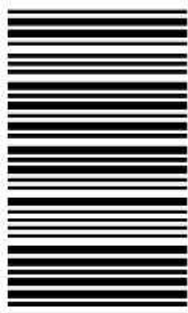


کد کنترل

329

E



329E

دفترچه شماره (1)

صبح جمعه

۹۸/۱۲/۹



جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

«اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.»
امام خمینی (ره)

آزمون ورودی دوره دکتری (نیمه متمرکز) - سال ۱۳۹۹

رشته مهندسی کامپیوتر - معماری سیستم‌های کامپیوتری - کد (۲۳۵۵)

مدت پاسخ‌گویی: ۱۵۰ دقیقه

تعداد سؤال: ۴۵

عنوان مواد امتحانی، تعداد و شماره سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	مجموعه دروس تخصصی: مدار منطقی و معماری کامپیوتر - معماری کامپیوتر پیشرفته - VLSI پیشرفته	۴۵	۱	۴۵

این آزمون نمره منفی دارد.

استفاده از ماشین حساب مجاز نیست.

حق چاپ، تکثیر و انتشار سؤالات به هر روش (الکترونیکی و...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و یا متخلفین برابر مقررات رفتار می‌شود.

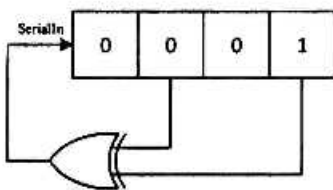
۱۳۹۹

* داوطلب گرامی، عدم درج مشخصات و امضا در مندرجات جدول ذیل، به منزله عدم حضور شما در جلسه آزمون است.

اینجانب با شماره داوطلبی با آگاهی کامل، یکسان بودن شماره صندلی خود را با شماره داوطلبی مندرج در بالای کارت ورود به جلسه، بالای پاسخنامه و دفترچه سؤالات، نوع و کد کنترل درج شده بر روی دفترچه سؤالات و پائین پاسخنامه‌ام را تأیید می‌نمایم.

امضا:

۱- شکل زیر یک شیفت رجیستر را نشان می‌دهد که در هر سیکل ساعت یک بیت محتوای خود را به سمت راست شیفت می‌دهد. اگر مقدار اولیه این شیفت رجیستر 0001 باشد، دوره تناوب آن چند سیکل ساعت است؟



- ۴ (۱)
- ۵ (۲)
- ۶ (۳)
- ۷ (۴)

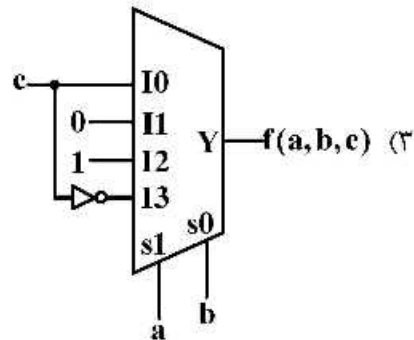
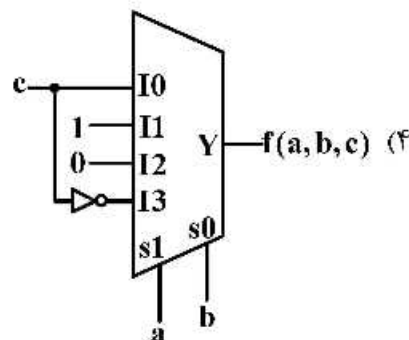
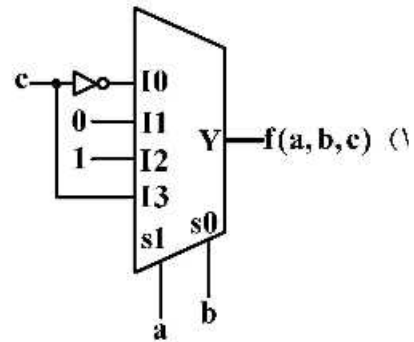
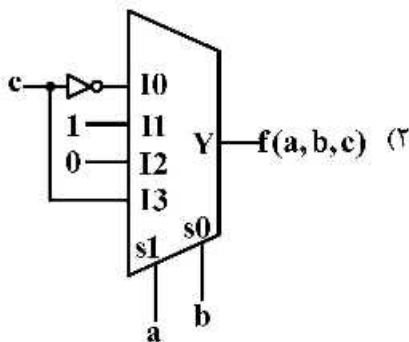
۲- فرض کنید تابع $f(a,b,c,d) = \sum m(0,1,3,4,8,11,12,15)$ داده شده است. عامل‌های اولیه ضروری (Essential Prime Implicant) این تابع، کدام گزینه است؟

- (۱) $\bar{c}d.acd$
- (۲) $\bar{c}d.acd.\bar{a}bd$
- (۳) $\bar{c}d.acd.\bar{a}bd.acd$
- (۴) $\bar{c}d.acd.\bar{a}bd.\bar{a}c\bar{d}$

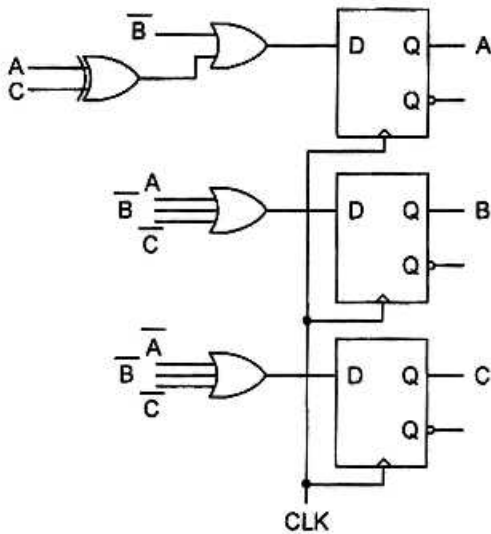
۳ می‌خواهیم یک عدد ۳ رقمی مبنای ۹ را به یک عدد مبنای ۳ تبدیل کنیم. برای این منظور به حداقل چند رقم در مبنای ۳ نیاز داریم؟

- ۵ (۱)
- ۶ (۲)
- ۷ (۳)
- ۸ (۴)

۴- کدام مدار پیاده‌سازی تابع $f(a,b,c) = \sum m(1,2,3,6)$ را نشان می‌دهد؟



۵- مدار زیر را در نظر بگیرید. با فرض این که خروجی مدار مقادیر ABC باشد، کدام گزاره صحیح است؟



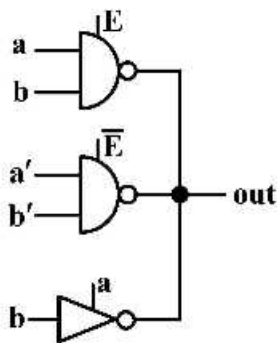
- (۱) مدار اعداد زوج سه‌بیتی را می‌شمارد.
- (۲) مدار اعداد فرد سه‌بیتی را می‌شمارد.
- (۳) مدار اعداد اول سه‌بیتی را می‌شمارد.
- (۴) مدار اعداد سه‌بیتی مضرب ۳ و ۵ را می‌شمارد.

۶- جدول حالت زیر، پس از کاهش تعداد حالات چند حالت دارد؟

PS	NS/y	
	x=0	x=1
a	c/0	a/1
b	d/0	b/1
c	a/1	c/0
d	b/1	d/0
e	c/0	e/1
f	a/1	c/0

- (۱) ۲
- (۲) ۳
- (۳) ۴
- (۴) ۵

۷- در مدار زیر از گیت‌های سه‌وضعیتی (3-State) استفاده شده است. با فرض آن که هیچ ترکیب غیرمجاز ورودی‌ها



به مدار اعمال نشود، تابع خروجی مطابق با کدام گزینه است؟

- (۱) $ab + \bar{a}E + \bar{a}b$
- (۲) $\bar{a}b + \bar{a}E + b\bar{E}$
- (۳) $\bar{b} + \bar{a}E$
- (۴) ۱

۸- برای تصحیح یک بیت خطا در یک داده ۴ بیتی، از کد همینگ استفاده کرده‌ایم و نتیجه یک کد ۷ بیتی شده

است. اگر داده ۷ بیتی دریافتی 1011101 باشد، در این خصوص کدام گزینه درست است؟

- (۱) خطا در بیت ۵ رخ داده است.
- (۲) خطا در بیت ۴ رخ داده است.
- (۳) خطا در بیت ۳ رخ داده است.
- (۴) خطایی رخ نداده است.

۹- فرض کنید در یک مدار ترتیبی، دو فلیپ‌فلاپ از نوع D به نام‌های A و B وجود دارد. این مدار یک ورودی به نام x نیز دارد. اگر معادله ورودی فلیپ‌فلاپ‌ها به صورت زیر باشد، در خصوص این مدار کدام گزینه درست است؟

$$D_A = A\bar{x} + Bx$$

$$D_B = AB + B\bar{x} + \bar{A}\bar{B}x$$

(۱) مدار در صورتی که $x = 0$ باشد، Self-Starting است.

(۲) مدار در صورتی که $x = 1$ باشد، Self-Starting است.

(۳) مدار Self-Starting است.

(۴) مدار Self-Starting نیست.

۱۰- کدام پیاده‌سازی تابع $f(a,b,c,d) = \sum m(0.5.7.10.14.15) + d(1.9.13)$ فاقد Hazard است؟ (توجه داشته باشید که مدار پیاده‌سازی شده باید از نظر تعداد گیت بهینه باشد.)

$$(۱) \bar{a}\bar{b}\bar{c} + ac\bar{d} + bd + \bar{c}d$$

$$(۲) \bar{a}\bar{b}\bar{c} + ac\bar{d} + bd + abc$$

$$(۳) \bar{a}\bar{b}\bar{c} + ac\bar{d} + bd + abc + \bar{c}d$$

$$(۴) \bar{a}\bar{b}\bar{c} + ac\bar{d} + bd + abc + \bar{a}\bar{c}d$$

۱۱- در یک پردازنده با واحد کنترل ریز برنامه‌سازی شده، طول قالب ریز دستورالعمل 140 بیت و حجم میکروحافظه 1024 ریز دستورالعمل است. با استفاده از تکنیک نانوحافظه و حداکثر فشردگی حجم میکروحافظه را به 10 درصد حجم اولیه آن کاهش می‌دهیم. طول micro-OPCODE چند بیت است؟

(۱) 3

(۲) 4

(۳) 5

(۴) 6

۱۲- ماشین‌های دارای دو قالب دستور نوع A و B است. طول OPCODE در قالب A چهار بیت و در قالب B هشت بیت است. با فرض استفاده کامل از فیلد OPCODE توسط دستورات ماشین، کدام گزینه در خصوص گزاره‌های زیر درست است؟

گزاره اول: حداقل تعداد دستورات در قالب A و B به ترتیب 1 و 16 است.

گزاره دوم: حداکثر تعداد دستورات در قالب A و B به ترتیب 15 و 240 است.

(۱) هر دو گزاره اول و دوم درست هستند. (۲) گزاره اول نادرست و گزاره دوم درست است.

(۳) گزاره اول درست و گزاره دوم نادرست است. (۴) هر دو گزاره اول و دوم نادرست هستند.

۱۳- در ضرب دو عدد دودویی مکمل دو 16 بیتی 1011100110001111 و 0111110110101100 به روش Booth، حداقل تعداد عمل جمع و حداکثر تعداد عمل تفریق ممکن کدام است؟

(۱) 3 جمع و 3 تفریق (۲) 3 جمع و 4 تفریق (۳) 4 جمع و 3 تفریق (۴) 4 جمع و 4 تفریق

۱۴- کدام گزینه در خصوص گزاره‌های داده شده درست است؟

(A) در هر پردازنده دارای دستورات خاص I/O، می‌توان به روش memory-mapped I/O با دستگاه‌های I/O تبادل داده کرد.

(B) در روش DMA (Direct Memory Access) پردازنده اصلی درگیر بررسی آمادگی دستگاه I/O برای تبادل داده می‌شود، اما درگیر تبادل داده نمی‌شود.

(۱) هر دو گزاره A و B درست هستند. (۲) هر دو گزاره A و B نادرست هستند.

(۳) گزاره A نادرست است و گزاره B درست است. (۴) گزاره A درست است و گزاره B نادرست است.

۱۵- چهار سیستم کامپیوتر A, B, C و D دارای ساختاری کاملاً یکسان هستند و تنها در حافظه نهان مورد استفاده تفاوت دارند.

- در سیستم A: نگاشت حافظه نهان 4-way set associative و سیاست جایگزینی LRU است.
- در سیستم B: نگاشت حافظه نهان 2-way set associative و سیاست جایگزینی LRU است.
- در سیستم C: نگاشت حافظه نهان 4-way set associative و سیاست جایگزینی FIFO است.
- در سیستم D: نگاشت حافظه نهان 2-way set associative و سیاست جایگزینی FIFO است.

هر چهار سیستم برنامه‌ای یکسان را اجرا می‌کنند. نرخ برخورد حافظه نهان در سیستم A برابر h_{4-LRU} ، سیستم B برابر h_{2-LRU} ، سیستم C برابر h_{4-FIFO} و سیستم D برابر h_{2-FIFO} است.

کدام گزینه در خصوص نرخ برخورد در این سیستم‌ها درست است؟

- (۱) قطعاً $h_{4-LRU} \geq h_{2-LRU}$ و $h_{4-FIFO} \geq h_{2-FIFO}$ است.
- (۲) قطعاً $h_{4-LRU} > h_{4-FIFO}$ و $h_{2-LRU} > h_{2-FIFO}$ است.
- (۳) قطعاً $h_{4-LRU} \geq h_{2-LRU}$ ولی ممکن است $h_{4-FIFO} < h_{2-FIFO}$ باشد.
- (۴) قطعاً $h_{4-FIFO} > h_{2-FIFO}$ ولی ممکن است $h_{2-LRU} > h_{4-LRU}$ باشد.

۱۶- در یک کامپیوتر فرمت اعداد ممیز شناور به صورت زیر است:

1	3 bits	4 bits
S	E	M

که نشان‌دهنده ارزش عددی $(-1)^S \times 0.M \times 2^{E-4}$ است.

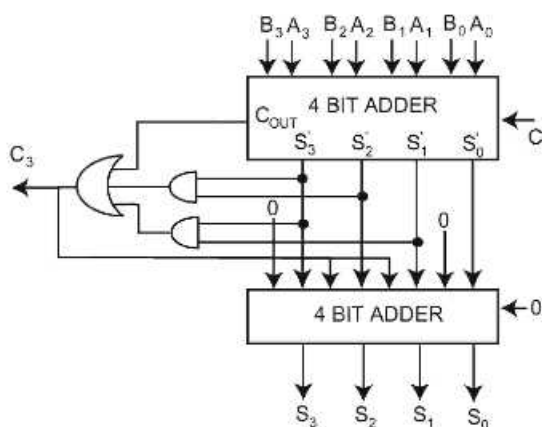
کدام گزینه، نشان‌دهنده حاصل جمع دو عدد -3.875 و -1.125 در این کامپیوتر است؟

- (۱) FE با نمایش -4.875
- (۲) FB با نمایش -4.75
- (۳) $F9$ با نمایش -4.5
- (۴) FA با نمایش -5

۱۷- مدار زیر یک جمع‌کننده دهدهی تک‌رقمی را نشان می‌دهد. با به‌کارگیری این مدار جمع موازی (با انتشار رقم

نقلی) دو عدد دهدهی ۳ رقمی را انجام می‌دهیم. زمان این محاسبه برابر با زمان عملکرد کدام مدار است؟

(جعبه 4 BIT ADDER یک جمع‌کننده ۴ بیتی دودویی موازی با انتشار رقم نقلی است.)



- (۱) جمع‌کننده دودویی موازی 10 بیتی با انتشار رقم نقلی
- (۲) جمع‌کننده دودویی موازی 18 بیتی با انتشار رقم نقلی
- (۳) جمع‌کننده دودویی موازی 18 بیتی با پیش‌بینی رقم نقلی
- (۴) جمع‌کننده دودویی موازی 10 بیتی با پیش‌بینی رقم نقلی

۱۸- فرض کنید در یک برنامه ۱۰٪ دستورات ماهیت ترتیبی داشته باشند. (یعنی قابلیت موازی‌سازی نداشته باشند)

اگر بخواهیم این برنامه را بر روی یک سیستم چند هسته‌ای اجرا کنیم، برای آنکه میزان تسریع برابر ۵ باشد، تعداد هسته‌ها کدام است؟

- (۱) ۷
- (۲) ۸
- (۳) ۹
- (۴) ۱۰

۱۹- برای محاسبه عبارت $Y = [(A \times (B - C)) - (D \div E)] - [F \times (G + H)]$ ، بر روی یک پردازنده مبتنی بر Stack، بزرگترین اندازه Stack مورد نیاز کدام است؟

- (۱) ۳
(۲) ۴
(۳) ۵
(۴) ۸

۲۰- یک پردازنده خطلوله‌ای دارای ۸ مرحله با زمان‌های 1, 1.5, 1, 1, 1, 2.5, 1, 1 نانوثانیه است. بیشترین تسریع این پردازنده در مقایسه با پیاده‌سازی Single Cycle این پردازنده کدام است؟

- (۱) ۳
(۲) ۴
(۳) ۶
(۴) ۸

۲۱- جدول زیر Reservation Table را برای یک پایپ‌لاین غیرخطی با سه مرحله نشان می‌دهد. کدام گزینه یک الگوی تأخیر غیر مجاز را نشان می‌دهد؟

1	2	3	4	5	6	7	8
X		X					X
	X			X		X	
			X		X		

- (۱) (1, 6)
(۲) (4, 6)
(۳) (6)
(۴) (4)

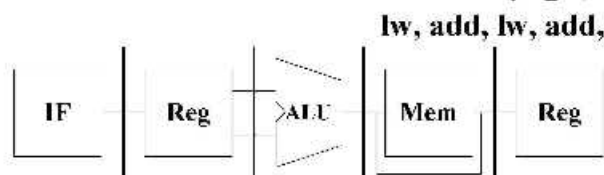
۲۲- دو برنامه زیر بر روی یک سیستم چندپردازنده با حافظه مشترک اجرا می‌شوند. پس از خاتمه هر دو برنامه A و B، مقدار متغیر X کدام مورد نمی‌تواند باشد؟

Process A
X = 2;
X = X * 2;

Process B
X = 1;
X = X + 1;

- (۱) 3
(۲) 4
(۳) 5
(۴) 6

۲۳- یک پردازنده پایپ‌لاین را با ۵ مرحله مطابق شکل زیر در نظر بگیرید. فرض کنید برنامه‌ای با n دستور به شکل زیر بر روی این پردازنده اجرا می‌شود. اگر هر دستور lw فقط به دستور add قبلی خود و هر دستور add فقط به دستور lw قبلی خود وابسته باشد، حد تسریع به دست آمده از اجرای این برنامه، با استفاده از Forwarding در مقایسه با حالت بدون استفاده از Forwarding، کدام است؟ (فرض کنید در رجیستر فایل، در نیمه اول CLK عملیات نوشتن و در نیمه دوم CLK عملیات خواندن انجام می‌شود).



- (۱) 2
(۲) 3
(۳) 4
(۴) 5

۲۴- یک Cache با ۸ بلوک را در نظر بگیرید. اگر این Cache به صورت Direct Mapping سازمان‌دهی شده باشد و با هر بار دسترسی به حافظه اصلی، ۴ کلمه از حافظه اصلی به Cache منتقل شود، Hit Rate برای دنباله آدرس‌های زیر کدام است؟

0, 15, 1, 14, 2, 13, 3, 12, 4, 11, 5, 10, 6, 9, 7, 8, 8, 7, 9, 6, 10, 5, 11, 4, 12, 3, 13, 2, 14, 1, 15, 0

(۱) $\frac{1}{4}$

(۲) $\frac{3}{4}$

(۳) $\frac{1}{2}$

(۴) $\frac{13}{16}$

۲۵- پردازنده چند هسته‌ای A، دارای 12 هسته ساده با توان پردازش p و یک هسته بزرگ با توان پردازش 2p است. پردازنده تک هسته‌ای B با توان پردازش 4p نیز در دسترس است. حداکثر تسریع در اجرای یک برنامه با 10 درصد کد ترتیبی، توسط پردازنده A در مقایسه با پردازنده B تقریباً چقدر است؟

(۱) 2

(۲) 3

(۳) 6

(۴) 9

۲۶- تعداد گره‌های یک شبکه فوق مکعب (hypercube) که قطری برابر قطر شبکه توری (mesh) 5×7 دارد، کدام است؟

(۱) 512

(۲) 1024

(۳) 2048

(۴) 4096

۲۷- تعداد کوتاهترین مسیرهای متفاوت بین گره 10010101 و گره 11110000 در یک شبکه فوق مکعب ۸ بعدی کدام است؟

(۱) 8

(۲) 24

(۳) 70

(۴) 256

۲۸- تعداد کوتاهترین مسیرهای متفاوت بین دو گره (3,5) و (6,0) در یک شبکه توری مدور (Torus) 8×8 کدام است؟

(۱) 2

(۲) 12

(۳) 20

(۴) 64

۲۹- در یک پیش بینی‌کننده پرس عمومی یک سطحی با شمارنده اشباعی دو بیتی، وضعیت انجام 20 پرس آخر متوالی به ترتیب زیر (از چپ به راست) است. با فرض اینکه مقدار اولیه شمارنده دو بیتی مربوطه صفر است، نرخ پیش‌بینی درست برای این پرس‌ها چند درصد است؟

→ TTNTTNTTNTNNTTTNTNTN

(۱) 40

(۲) 50

(۳) 60

(۴) 70

۳۰- گزاره‌های زیر در خصوص روش سوئیچینگ داده شده است. کدام مورد صحیح است؟
 A) زمان ارسال یک بسته به روش سوئیچینگ Store and Forward در حضور ترافیک سبک با زمان ارسال همان بسته با سوئیچینگ wormhole برابر است.

B) روش‌های سوئیچینگ مدار (circuit switching) برای پشتیبانی کیفیت سرویس (QoS) مناسب هستند.

(۱) گزاره‌های A و B هر دو درست هستند.

(۲) گزاره‌های A و B هر دو نادرست هستند.

(۳) گزاره A درست و B نادرست است.

(۴) گزاره A نادرست و B درست است.

۳۱- کدام گزینه در خصوص نقصان حافظه نهان درست است؟

(۱) نقصان تداخل (Conflict miss) فقط در حافظه نهان با نگاشت مستقیم (direct mapped) رخ می‌دهد.

(۲) نقصان ظرفیت (Capacity miss) فقط در حافظه نهان با نگاشت کاملاً انجمنی (fully associative) رخ می‌دهد.

(۳) نرخ نقصان اجباری (Compulsory miss) به اندازه بلوک حافظه نهان وابسته است، اما ربطی به الگوریتم نگاشت ندارد.

(۴) نقصان همسانی (Coherency miss) در حافظه نهان پردازنده چند هسته‌ای با هر دو سیاست update و invalidation رخ می‌دهد.

۳۲- خط لوله 10 سطحی A با پرید کلاک 10 نانوثانیه برای محاسبه تابع $F_A(x)$ و خط لوله 20 سطحی B با پرید کلاک

20 نانوثانیه برای محاسبه تابع $F_B(x)$ موجود هستند (x یک عدد ممیز شناور است). می‌خواهیم عملیات $F_A(F_B(X))$

را روی بردار X شامل 1000 عدد ممیز شناور محاسبه و بردار نتیجه متناظر آن را به دست آوریم. میزان تسریع این

محاسبه توسط زنجیر کردن دو خط لوله نسبت به استفاده مجزا از این دو خط لوله، تقریباً چقدر است؟

(۱) 1.2

(۲) 1.5

(۳) 2

(۴) 2.5

۳۳- در خصوص قطعه برنامه زیر کدام گزینه درست است؟

```

mov     ax,number1
add     number2,ax
sub     ax,10
inc     number2
    
```

- ۱) بین دستورات mov و add و بین دستورات add و sub وابستگی write-after-read وجود دارد.
- ۲) بین دستورات mov و sub وابستگی write-after-write و بین دستورات sub و inc وابستگی مخفی وجود دارد.
- ۳) بین دستورات mov و add وابستگی read-after-write و بین دستورات add و inc وابستگی read-after-write و write-after-write وجود دارد.
- ۴) بین دستورات mov و sub وابستگی read-after-write و بین دستورات add و inc وابستگی read-after-write و write-after-write وجود دارد.

۳۴- در خصوص خط لوله سه سطحی غیر خطی با جدول رزرواسیون زیر، کدام گزینه درست است؟

	t1	t2	t3	t4	t5
S1	X				
S2		X		X	
S3			X		X

- ۱) سیکل تأخیر (3) و تأخیر راه اندازی (2) مجازند.
 - ۲) سیکل تأخیرهای (1*,3) و سیکل تأخیر (3) مجازند.
 - ۳) رشته تأخیرهای $\langle 3^*,1 \rangle$ و $\langle 1,2,3^*,3^*,1 \rangle$ مجازند.
 - ۴) سیکل تأخیرهای (1,3) مجاز و تأخیر راه اندازی (2) غیرمجاز است.
- ۳۵- در یک حافظه نهان 2-way set associative با اندازه بلوک 16 کلمه و 256 مجموعه دسترسی به کلمات با

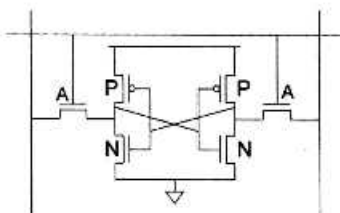
آدرس‌های زیر (از چپ به راست) انجام شده است:

00000106h → 00000107h → 00001108h → 00001109h → 0000110Ah → 00002109h → 0000210Ah → 0000310Bh → 0000310Ch → 0000010Fh

اگر سیاست جایگزینی LRU باشد، در انتهای کار مقدار عددی tagهای مجموعه شماره 16 حافظه نهان کدام‌اند؟

- ۱) 0 و 3
- ۲) 2 و 3
- ۳) 1 و 2
- ۴) 0 و 1

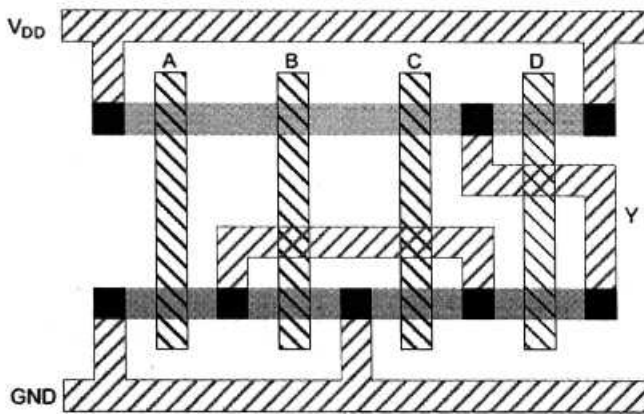
۳۶- در یک سلول SRAM کلاسیک برای داشتن پایداری بیشتر، سایز کانال ترانزیستورها چگونه باید باشد؟



- ۱) $N > A > P$
- ۲) $N > P > A$
- ۳) $P > A > N$
- ۴) $P > N > A$

۳۷- برای کاهش توان مصرفی اتصال کوتاه فقط یک گیت، کدام مورد مناسب است؟

- ۱) افزایش خازن بار - افزایش زمان صعود و نزول سیگنال ورودی
- ۲) افزایش خازن بار - کاهش زمان صعود و نزول سیگنال ورودی
- ۳) کاهش خازن بار - افزایش زمان صعود و نزول سیگنال ورودی
- ۴) کاهش خازن بار - کاهش زمان صعود و نزول سیگنال ورودی



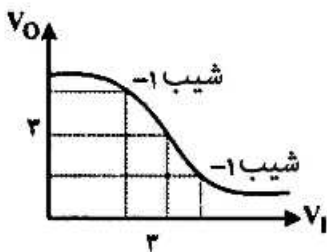
۳۸- جانمایی داده شده متعلق به کدام تابع است؟

- (۱) $Y = \overline{(A.B.C)} + \overline{D}$
- (۲) $Y = \overline{(A + B + C)} . \overline{D}$
- (۳) $Y = \overline{(A + B + C)} + D$
- (۴) $Y = \overline{(A + B + C)} + \overline{D}$

۳۹- نمودار مشخصه انتقالی یک وارونگر (inverter) شبه NMOS به صورت زیر است:

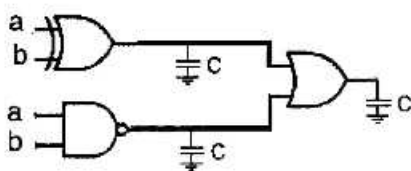
$$V_{DD} = 5V, V_{in} = -5V_{tp} = 5V, \mu_n = 2 \mu_p$$

نسبت $(W/L)_p$ به $(W/L)_n$ مطابق با کدام گزینه است؟



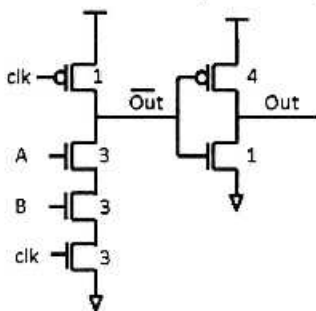
- (۱) 2
- (۲) 2/3
- (۳) 3/2
- (۴) 3/8

۴۰- در مدار داده شده، ورودی‌های a و b کاملاً تصادفی هستند (احتمال صفر یا یک بودن آنها یکسان است). به فرض $V_{DD} = 5V, C = 1 pF$ ، اگر ورودی‌ها با فرکانس 100 MHz تغییر کنند، توان پویای کل مدار چند mW است؟



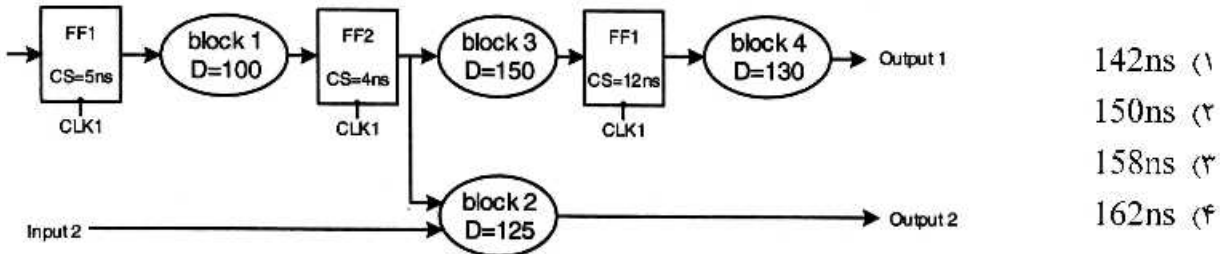
- (۱) 5
- (۲) 1.56
- (۳) 1.41
- (۴) 0.47

۴۱- در مدار دومینوی مقابل، به فرض آن که بار خازنی ناشی از طبقه بعد که در خروجی مدار قرار می‌گیرد 2.5 برابر خازن ورودی باشد، تأخیر فاز پیش‌شارژ (نرمال شده نسبت به تأخیر معکوس کننده واحد) کدام است؟

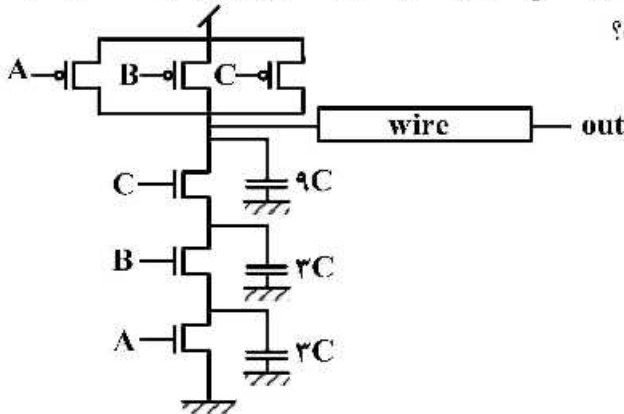


- (۱) 6.7
- (۲) 7.5
- (۳) 7.7
- (۴) 11

۴۲- در مدار ترتیبی زیر، میزان تأخیر بلوک‌های ترکیبی با پارامتر D نشان داده شده است. میزان انحراف کلاک (Clock skew) برای هر فلیپ‌فلاپ نیز با پارامتر CS نشان داده شده است. با صرف‌نظر کردن از تأخیر فلیپ‌فلاپ‌ها و زمان‌های $Setup$ و $Hold$ ، حداقل پریود کلاک که مدار با آن کار می‌کند، کدام است؟ (CS‌ها در یک راستا هستند.)

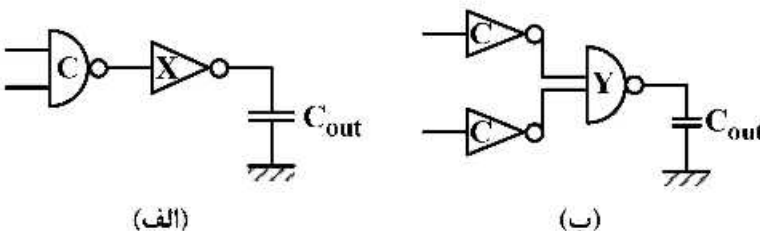


۴۳- اگر مقاومت ترانزیستورهای $nmos$ ، $pmos$ و خط، برابر R_n ، R_p و R_w و خازن خط برابر c_w باشد، بیشینه زمان صعود (t_r) گره out با چه مقداری متناسب است؟



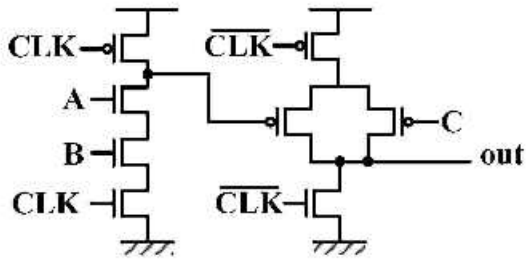
- (۱) $9R_p c + R_w \times c_w$
- (۲) $9R_p c + (R_p + R_w) c_w$
- (۳) $15R_p c + (R_p + R_w) c_w$
- (۴) $9R_p c + (R_p + 3R_n) 3c + (R_p + R_w) c_w$

۴۴- در صورت طراحی بهینه پارامترهای X و Y ، کدام طرح زیر در $C_{out} = 3c$ و کدام طرح در $C_{out} = 4c$ تأخیر کمتری دارد؟



- (۱) در هر دو حالت C_{out} ، تأخیر (الف) کمتر است.
- (۲) تأخیر در مدار (الف) و (ب)، در هر دو حالت C_{out} یکسان است.
- (۳) در $C_{out} = 3c$ تأخیر (الف) بیشتر و در $C_{out} = 4c$ تأخیر (الف) کمتر است.
- (۴) در $C_{out} = 3c$ تأخیر (الف) کمتر و در $C_{out} = 4c$ تأخیر (الف) بیشتر است.

۴۵- در خروجی مدار داده شده، کدام تابع منطقی پیاده‌سازی شده است؟



$$\text{out} = AB + C \quad (۱)$$

$$\text{out} = \overline{AB} + C \quad (۲)$$

$$\text{out} = AB + \overline{C} \quad (۳)$$

$$\text{out} = \overline{AB} + \overline{C} \quad (۴)$$